



## 【特許請求の範囲】

【請求項 1】復調ベースバンド信号からフレーム同期信号を捕捉するフレーム同期信号捕捉手段と、復調ベースバンド信号を  $\{22.5^\circ + 45^\circ \times n \text{ (} n=0, 1, 2, 3, 4, 5, 6, 7 \text{ 中の一つの値)}\}$  位相回転させる位相回転回路と、位相回転回路によって位相回転されたベースバンド信号からフレーム同期信号期間のシンボルストリームを前記フレーム同期信号捕捉手段によって捕捉され再生された同期信号のビットストリームと一致するタイミングにて抽出する抽出手段と、前記抽出手段によって抽出されたシンボルストリームを入力して、前記再生された同期信号のビットストリーム中のビットが論理「0」のときにのみ前記抽出手段によって抽出されたシンボルストリーム中の対応するシンボルの符号を反転して出力する符号反転手段と、符号反転回路の出力の位相を判定する位相判定回路と、位相判定回路の出力をグレイ符号変換するグレイ符号変換器と、グレイ符号変換器の出力を受けて多数決判定する多数決判定手段と、多数決判定手段の出力をバイナリ符号変換するバイナリ符号変換器とを備え、バイナリ符号変換器の出力を受信信号位相回転角信号とすることを特徴とする受信信号位相検出回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は受信信号位相検出回路に関し、さらに詳細には必要とする C/N が異なる複数の変調方式で伝送されてくるデジタル被変調波を受信する受信機に用いられ、受信信号位相回転角を検出する受信信号位相検出回路に関する。

## 【0002】

【従来の技術】必要とする C/N が異なる複数の変調方式で伝送されてくるデジタル被変調波、例えば 8PSK 変調、QPSK 変調、BPSK 変調が時間毎に組み合わせられ、フレーム毎に繰り返し伝送されてくる階層化伝送方式によるデジタル被変調波を受信する放送受信機では、復調されたベースバンド信号（以下、ベースバンド信号をシンボルストリームとも記す）からフレーム同期信号を捕捉し、捕捉したフレーム同期信号の信号点配置から現在の受信信号位相回転角を求め、求められた受信信号位相回転角をもとに復調されたベースバンド信号を逆位相回転させることによって復調ベースバンド信号を送信信号位相角に一致させる絶対位相化を行っている。

【0003】従来の受信信号位相検出回路は図 7 に示すように復調回路 1 とフレーム同期検出回路 2 とフレーム同期信号発生器 3 とのほかに、受信信号位相検出のためのブロックを構成するディレイ回路 4 1、4 2、 $0^\circ/180^\circ$  位相回転回路 4 3、累積加算平均回路 4 5、4 6、ROM からなるテーブル変換によって受信信号の位相判定をする受信信号位相判定回路 4 7 を備えている。ここで、フレーム同期検出回路 2 とフレーム同期信号発

生器 3 とは復調ベースバンド信号からフレーム同期信号を捕捉するフレーム同期信号捕捉手段に対応し、ディレイ回路 4 1、4 2 は復調ベースバンド信号からフレーム同期信号期間のシンボルストリームを、前記フレーム同期信号捕捉手段によって捕捉され、再生された同期信号のビットストリームと一致するタイミングにて抽出する抽出手段に対応している。

【0004】図 7 に示す従来の受信信号位相検出回路は、受信したデジタル被変調波を所定の中間周波数に周波数変換し、周波数変換された中間周波信号を復調回路 1 に供給して復調し、復調回路 1 から例えば量子化ビット数 8 ビットの復調されたベースバンド信号 I (8)、Q (8)（括弧内の数字はビット数を示し、以下ビット数を省略して単に I、Q とも記す）を送出する。復調されたベースバンド信号 I (8)、Q (8) は、例えば BPSK 変調されたフレーム同期信号を捕捉するためフレーム同期検出回路 2 にも送出される。

【0005】ここで、送信側における各変調方式毎のマッピングについて図 8 を用いて説明する。図 8 (a) は変調方式に 8PSK を用いた場合の信号点配置を示す。8PSK 変調方式は 3 ビットのデジタル信号 (a、b、c) を 1 シンボルで伝送でき、1 シンボルを構成するビットの組み合わせは (0、0、0)、(0、0、1)、～(1、1、1) の 8 通りである。これら 3 ビットのデジタル信号は図 8 (a) の送信側 I-Q ベクトル平面上における信号点配置 0～7 に変換され、この変換を 8PSK マッピングと呼んでいる。

【0006】図 8 (a) に示す例ではビット列 (0、0、0) を信号点配置 # 0 に、ビット列 (0、0、1) を信号点配置 # 1 に、ビット列 (0、1、1) を信号点配置 # 2 に、ビット列 (0、1、0) を信号点配置 # 3 に、ビット列 (1、0、0) を信号点配置 # 4 に、ビット列 (1、0、1) を信号点配置 # 5 に、ビット列 (1、1、1) を信号点配置 # 6 に、ビット列 (1、1、0) を信号点配置 # 7 に変換している。

【0007】図 8 (b) は変調方式に QPSK を用いた場合の信号点配置を示し、QPSK 変調方式では 2 ビットのデジタル信号 (d、e) を 1 シンボルで伝送でき、該シンボルを構成するビットの組み合わせは (0、0)、(0、1)、(1、0)、(1、1) の 4 通りである。図 8 (b) の例では例えばビット列 (1、1) を信号点配置 # 1 に、ビット列 (0、1) を信号点配置 # 3 に、ビット列 (0、0) を信号点配置 # 5 に、ビット列 (1、0) を信号点配置 # 7 に変換する。なお、各変調方式の信号点配置と配置番号の関係は、8PSK を基準とし信号点配置と配置番号との関係を同一にしてある。

【0008】図 8 (c) は変調方式に BPSK を用いた場合の信号点配置を示し、BPSK 変調方式では 1 ビッ

トのデジタル信号 (f) を1シンボルで伝送する。デジタル信号 (f) は例えば (1) を信号点配置 # 0 # に、(0) を信号点配置 # 4 # に変換する。

【0009】次にフレーム同期信号について説明する。前記階層化伝送方式においては、フレーム同期信号は必要とするC/Nが最も低いBPSK変調されて伝送される。16ビットで構成されるフレーム同期信号のビットストリームを(S0、S1、……、S14、S15)とし、S0から順次送出されるものとする、(0、0、0、1、0、0、1、1、0、1、0、1、1、1、1、0)、または後半8ビットが反転した(0、0、0、1、0、0、1、1、0、1、0、0、0、0、0、1)がフレーム毎に交互に送出される。以下、フレーム同期信号のシンボルストリームを#SYNCPAT# また、後半8ビットが反転したシンボルストリームを#nSYNCPAT#とも記す。このシンボルストリームは送信側にて図8(c)に示すBPSKマッピングにより信号点配置#0#または#4#に変換され、変換されたシンボルストリームが伝送される。

【0010】このように、BPSKマッピングされたフレーム同期信号#SYNCPAT#と#nSYNCPAT#のシンボルストリームが、フレーム同期検出回路2において復調ベースバンド信号より一定のフレーム間隔毎に交互に繰り返し受信されることが確認されたときフレーム同期がとれていると判別されフレーム周期毎にフレーム同期パルスが出力される。

【0011】通常、必要とするC/Nの異なる複数の変調方式が時間毎に組み合わせられ、フレーム毎に繰り返し伝送されてくる階層化伝送方式においては、それらの多重構成を示すヘッダーデータが多重されており、フレーム同期がとれていると判断された後、フレーム同期検出回路2から出力されるフレーム同期パルスによって生成されるタイミング信号にて多重構成を示すヘッダーデータが抽出される。この結果、フレーム多重構成を知って初めて変調方式別の処理が可能となる。

【0012】言い換えれば、フレーム同期と判断されるまでは、復調回路1は8PSK復調回路として動作するため、復調回路1における搬送波再生回路にて再生された復調用搬送波の位相状態によっては受信側のI-Qベクトル平面のI軸、Q軸が送信側のそれと比べ、 $\theta = 45^\circ \times n$  ( $n=0、1、2、3、4、5、6、7$ 中の一つの値)位相回転する。例えばBPSK変調されて伝

$$RT(3) = \theta / 45$$

ただし $\theta = n \cdot 45^\circ$ であって、 $n=0、1、2、3、4、5、6、7$ の一つの値である。

【0019】図7の従来例をもとにさらに説明する。フレーム同期検出回路2から出力されるフレーム同期パルスを受けてフレーム同期信号発生器3は捕捉したフレーム同期信号のパターン#SYNCPAT#、#nSYNCPAT#に対応した再生フレーム同期信号のビットス

\*送されるフレーム同期信号の場合、図8(c)においてビット#1#に対して信号点配置#0#に、またビット#0#に対して信号点配置#4#にBPSKマッピングされたフレーム同期信号のシンボルストリームは、復調用搬送波の位相状態によっては送信側と同じく信号点配置#0#、#4#に現れる場合と、 $\theta = 45^\circ$ 位相回転した信号点配置#1#、#5#に現れる場合と、 $\theta = 90^\circ$ 位相回転して信号点配置#2#、#6#に現れる場合と、というようにフレーム同期信号の復調される位相は8通りある。

【0013】また、QPSK変調、8PSK変調されて伝送される信号も同じように位相回転が起こる。このように時間毎に組み合わせられフレーム毎に繰り返し伝送されるPSKの最大位相数が8すなわち8PSK変調の場合を想定すると、受信信号位相はそれぞれ $45^\circ$ ずれた8通り存在する。

【0014】しかし、送信側にて既知であるフレーム同期信号の信号点配置と、受信したフレーム同期信号の信号点配置を比較することで受信信号の位相回転角を求めることができる。以下にこの位相回転角を求める方法について説明する。

【0015】復調回路1(図7参照)にてベースバンド信号に復調されたフレーム同期信号のシンボルストリームは、ビット#1#または#0#からなる#SYNCPAT#または#nSYNCPAT#を送信側にてBPSKマッピングされたシンボルストリームであり、また、このビット#1#と#0#に対するシンボルの位相差が $180^\circ$ であることは、その信号点配置から明白である。そこで、受信したフレーム同期信号のシンボルストリームにおけるビット#0#に対するシンボルを全て $180^\circ$ 位相回転することにより、すべてビット#1#に対する16シンボルのストリームが得られる。

【0016】そこで得られたストリームの平均値を求め、これをビット#1#に対する受信信号点配置とする。さて、送信側においてBPSKのビット#1#に対する信号点配置は#0#であるから、これと前記受信信号点配置を比べることによって受信信号位相回転角 $\theta$ が求められる。

【0017】ここで、受信信号位相回転角 $\theta$ と、受信信号位相検出回路の出力である位相回転角信号RT(3)の関係を、次の(1)式に示すように定義する。

【0018】

$$\dots\dots (1)$$

※トリームを発生し、再生フレーム同期信号のビットストリームは $0^\circ / 180^\circ$ 位相回転回路43に供給される。 $0^\circ / 180^\circ$ 位相回転回路43は、供給された前記再生フレーム同期信号のビットストリームの論理#0#、または論理#1#をもとに、論理#0#の場合はダイレイ回路41、42を介して供給される復調ベースバンド信号に多重されているフレーム同期信号のシンボル

ストリーム中の対応するシンボルを $180^\circ$ 位相回転させ、論理「1」の場合はディレイ回路41、42を介して供給される復調ベースバンド信号に多重されているフレーム同期信号のシンボルストリーム中の対応するシンボルを位相回転させずにそのまま出力する。

【0020】ここで、 $0^\circ/180^\circ$ 位相回転回路43の入力において、復調ベースバンド信号に多重されているフレーム同期信号のシンボルストリームとフレーム同期信号発生器3から送出される再生フレーム同期信号のビットストリームとのタイミングがディレイ回路41、42によって一致させられている。さらにフレーム同期信号発生器3から送出されるフレーム同期信号区間信号によりディレイ回路41、42の出力ゲートが開かれて出力されたフレーム同期信号のシンボルストリームD I (8)、D Q (8)は前記再生フレーム同期信号のビットストリームが「0」の場合、 $180^\circ$ 位相回転され、累積加算平均回路45、46に送出される。

【0021】図9(a)は受信信号位相回転角 $\theta = 0^\circ$ (絶対位相)で受信した場合のフレーム同期信号の信号点配置を示したものであり、図9(b)は $0^\circ/180^\circ$ 位相回転回路43において変換された後のシンボルストリームV I (8)、V Q (8)の信号点配置の様子を示したものである。シンボルストリームV I (8)、V Q (8)はそれぞれ累積加算平均回路45、46に送出され、所定区間において加算平均され、所定区間毎に加算平均されたシンボルストリームA V I (8)、A V Q (8)が出力される。ここで、シンボルストリームV I (8)、V Q (8)に対して加算平均を採るのは、受信C/Nの悪化による受信ベースバンド信号の微少な位相変化、振幅変動が生じた場合にも安定して信号点配置を求められるようにするためである。

【0022】累積加算平均回路45、46によりビット「1」に対するBPSKマッピングされた信号の受信信号点[A V I (8)、A V Q (8)]が求められる。次に受信信号点A V I (8)、A V Q (8)が受信信号位相判定回路47に入力され、図10に示した受信信号位相判定テーブルによって、(1)式に定義した位相回転角に対応した3ビットの位相回転角信号R T (3)を求める。例えば受信信号位相回転角 $\theta = 0^\circ$ の場合、A V I (8)、A V Q (8)の信号点を受信信号位相判定テーブルによって判定された位相回転角信号は「0」である。したがって、位相回転角信号R T (3)に(0、0、0)が送出される。また、受信信号位相回転角 $\theta = 45^\circ$ の場合、同様にして位相回転角信号は「1」、したがって位相回転角信号R T (3)に(0、0、1)が送出される。

【0023】そこで、必要とするC/Nが異なる複数の変調方式で伝送されてくるデジタル被変調波が時間毎に組み合わせられ、フレーム毎に繰り返し伝送されてくる階層化伝送方式によるデジタル被変調波を受信する放送

受信機では、受信信号位相検出回路にて位相回転角信号R T (3)を求め、位相回転角信号R T (3)を用いてベースバンド信号I (8)、Q (8)を逆位相回転させることにより絶対位相化を行なっている。

【0024】

【発明が解決しようとする課題】しかしながら上記した従来の受信信号位相検出回路によるときに於いて、 $0^\circ/180^\circ$ 位相回転回路をテーブル変換によって構成すると、そのメモリ容量は128kバイト( $=2^{16} \times 16 \text{ bit}$ )を必要とし、さらにまた受信信号位相判定回路をテーブル変換によって構成すると、そのメモリ容量は $2^{16} \times 3 \text{ bit}$ を必要とするなど回路規模が大きくなって、集積回路化するに当たって回路規模が大きくなるという問題点があった。

【0025】本発明は回路規模が小さくてすむ受信信号位相検出回路を提供することを目的とする。

【0026】

【課題を解決するための手段】本発明にかかる受信信号位相検出回路は、復調ベースバンド信号からフレーム同期信号を捕捉するフレーム同期信号捕捉手段と、復調ベースバンド信号を $\{22.5^\circ + 45^\circ \times n \text{ (} n = 0, 1, 2, 3, 4, 5, 6, 7 \text{ 中の一つの値)}\}$ 位相回転させる位相回転回路と、位相回転回路によって位相回転されたベースバンド信号からフレーム同期信号期間のシンボルストリームを前記フレーム同期信号捕捉手段によって捕捉され再生された同期信号のビットストリームと一致するタイミングにて抽出する抽出手段と、前記抽出手段によって抽出されたシンボルストリームを入力して、前記再生された同期信号のビットストリーム中のビットが論理「0」のときにのみ前記抽出手段によって抽出されたシンボルストリーム中の対応するシンボルの符号を反転して出力する符号反転手段と、符号反転回路の出力の位相を判定する位相判定回路と、位相判定回路の出力をグレイ符号変換するグレイ符号変換器と、グレイ符号変換器の出力を受けて多数決判定する多数決判定手段と、多数決判定手段の出力をバイナリ符号変換するバイナリ符号変換器とを備え、バイナリ符号変換器の出力を受信信号位相回転角信号とすることを特徴とする。

【0027】本発明にかかる受信信号位相検出回路によれば、復調ベースバンド信号からフレーム同期信号が同期信号捕捉手段によって捕捉され、位相回転回路によって復調ベースバンド信号が $\{22.5^\circ + 45^\circ \times n \text{ (} n = 0, 1, 2, 3, 4, 5, 6, 7 \text{ 中の一つの値)}\}$ 位相回転させられ、位相回転させられたベースバンド信号からフレーム同期信号期間のシンボルストリームが抽出手段によって、前記フレーム同期信号捕捉手段によって捕捉された同期信号のビットストリームと一致するタイミングにて抽出される。前記捕捉された同期信号のビットストリーム中のビットが論理「0」のとき、前記抽出手段によって抽出されたシンボルストリーム中

の対応するシンボルが符号反転手段によって反転され、符号反転手段からの出力の位相が位相判定回路によって判定され、位相判定回路の出力がグレイ符号にグレイ変換器によって符号変換され、グレイ符号変換器の出力を受けて多数決判定手段によって多数決判定がされ、多数決判定手段の出力がバイナリ符号にバイナリ符号変換器によって符号変換されて、バイナリ符号変換器の出力によって受信信号の位相回転角が判定される。

【0028】本発明にかかる受信信号位相検出回路によれば、従来用いられていた $0^\circ/180^\circ$ 位相回転回路と累積加算平均回路が、 $22.5^\circ$ 位相回転回路と符号反転手段とに置き換えられて、 $0^\circ/180^\circ$ 位相回転回路と累積加算平均回路が不要となつて、回路規模が減少する。

【0029】さらに、本発明にかかる受信信号位相検出回路によれば、多数決判定回路によって回路規模が減少でき、さらにグレイ符号化することによって隣り合う位相判定値とのビットの相違が1ビットとなるため、受信C/Nの悪化による受信ベースバンド信号の微少な位相変化、振幅変動が生じ、位相判定において誤判定された場合でも、その影響を最小限とすることができ、信頼性を向上させることができる。

【0030】

【発明の実施の形態】以下、本発明にかかる受信信号位相検出回路を実施の形態によって説明する。図1は本発明の実施の一形態にかかる受信信号位相検出回路の構成を示すブロック図である。

【0031】本発明の実施の一形態にかかる受信信号位 \*

$$RI = I \cos(22.5^\circ) - Q \sin(22.5^\circ) \dots (2)$$

$$RQ = I \sin(22.5^\circ) + Q \cos(22.5^\circ) \dots (3)$$

【0036】フレーム同期信号区間信号を受けたディレイ回路41、42は、 $22.5^\circ$ 位相回転回路48において(2)式、(3)式による位相回転された出力RI(8)、RQ(8)からベースバンド信号に多重されているフレーム同期信号のシンボルストリームとフレーム同期信号発生器3から送出される再生フレーム同期信号のビットストリームとのタイミングが符号反転器49の入力端位置において一致させるように、 $22.5^\circ$ 位相回転されたベースバンド信号に多重されているフレーム同期信号のシンボルストリームを遅延させる。

【0037】ディレイ回路41、42によって遅延させられたベースバンド信号DI(8)、DQ(8)は符号反転器49に入力される。フレーム同期信号発生器3から出力されるフレーム同期信号区間信号によって、16シンボルのフレーム同期信号のシンボルストリーム区間のみディレイ回路41、42の出力ゲートが開かれる。また、符号反転器49の入力において、前記したようにディレイ回路41、42によってフレーム同期信号発生器3から出力される再生フレーム同期信号と前記フレーム同期信号のシンボルストリームとのタイミングが一致 ※50

\* 相検出回路は、復調回路1とフレーム同期検出回路2とフレーム同期信号発生器3とのほかに、受信信号位相検出のためのブロックを構成する $22.5^\circ$ 位相回転回路48、ディレイ回路41、42、符号反転器49、位相判定回路50、グレイ符号変換器51、多数決回路52A~52C、バイナリ符号変換器53を備えている。

【0032】すなわち、本発明の実施の一形態にかかる受信信号位相検出回路では、復調回路1によって復調されたベースバンド信号はフレーム同期検出回路2に供給され、フレーム同期検出回路2においてフレーム同期信号が検出され、フレーム同期信号に基づくフレーム同期パルスがフレーム同期信号発生器3に供給される。フレーム同期パルスを受けたフレーム同期信号発生器3からはフレーム同期信号期間信号および再生フレーム同期信号が、それぞれディレイ回路41、42、と符号反転器49へ送出される。

【0033】一方、復調回路1によって復調されたベースバンド信号I(8)、Q(8)は $22.5^\circ$ 位相回転回路48に供給され $22.5^\circ$ 位相回転させられる。 $22.5^\circ$ 位相回転回路48からの位相回転出力RI(8)、RQ(8)はディレイ回路41、42に供給される。

【0034】まず、ベースバンド信号I(8)、Q(8)の $22.5^\circ$ 位相回転について説明する。 $22.5^\circ$ 位相回転回路48における位相回転は、次の(2)式、(3)式にしたがい行なわれる。

【0035】

※されている。

【0038】そこで、符号反転器49において、再生フレーム同期信号のビットが論理「0」の場合、符号反転器49に入力されたフレーム同期信号のシンボルストリームDI(8)、DQ(8)中の対応するシンボルは、それぞれ符号が反転されて出力され、再生フレーム同期信号のビットが論理「1」の場合、符号反転器49に入力されたフレーム同期信号のシンボルストリームDI(8)、DQ(8)中の対応するシンボルは、符号が反転されずそのまま出力される。

【0039】したがって、従来はROMを用いたテーブル変換による $0^\circ/180^\circ$ 位相回転回路43によって構成していたが、 $0^\circ/180^\circ$ 位相回転回路43の動作はそれぞれの軸における符号反転に等しいため、これを符号反転器49に置き換えることができる。

【0040】符号反転器49からの出力RVI、RVQは位相判定回路50に入力され、図2に示されるようなしきい角をもって位相判定がなされる。ここでの位相判定は、図10に示される従来の位相判定と異なり、判定される入力信号がその前段の $22.5^\circ$ 位相回転回路4

8において $22.5^\circ$ 位相回転されていることから、受信位相判定のためのしきい角も同様に $22.5^\circ$ 位相回転させて、 $\phi = 45^\circ \times n$  ( $n = 0 \sim 7$ の整数)としてよいことは明らかである。これを図2に示す。この結果、位相判定回路50において、入力された(RVI、RVQ)が図2に示す位相エリアのどこにあるかを判定すればよいことになる。

【0041】したがって、位相判定回路50では受信信号位相角の判定はテーブル変換を用いずに、入力された信号(RVI、RVQ)を用いて比較器などにより簡単に位相が判定できる。図2に示されるI-Qベクトル平面上の第一象限、第二象限、第三象限、第四象限の判定は信号(RVI、RVQ)の符号から求められる。さらに各象限を2つに分割する $45^\circ \times n$  ( $n = 1, 3, 5, 7$ )のしきいの判定、例えば位相回転角信号R

(3) = 0か、位相回転角信号R(3) = 1かを判定するには、信号(RVI、RVQ)のそれぞれの絶対値の大きさから求められる。このような関係から、図2に示す位相角の判定は図3に示した判定を行う位相判定回路50により実現できる。

【0042】これによって従来ROMによるテーブル変換によって構成された受信信号位相判定回路47は、乗算器、加算器によって構成される $22.5^\circ$ 位相回転回路48と、簡単な判定回路によって構成される位相判定回路50に置き換わり、集積回路化した場合、回路規模が大きく削減されることになる。

【0043】位相判定回路50にて判定された位相回転角に基づく位相回転角信号RT(3)はグレイ符号変換回路51に供給されて、図4(a)にしたがってグレイ符号化される。グレイ符号化された出力は各ビットG0～G2毎に多数決判定回路52A、52B、52Cに入力され、所定期間中のビット"0"と"1"の多数決判定が行なわれる。

【0044】これは、従来例において、受信C/Nの悪化による受信ベースバンド信号の微小な位相変化、振幅変動が生じた場合にも安定して信号点配置を求められるようにするためにシンボルストリームVI(8)、VQ(8)に対して加算平均を行なったことに代わるものである。多数決判定回路52A、52B、52Cの出力G00～G02はバイナリ符号変換器53に入力され、グレイ符号変換器51による変換の逆変換が図4(b)にしたがって行なわれる。バイナリ符号変換器53の出力が位相回転角信号RT(3)として出力される。

【0045】多数決判定回路52A～52Cのそれぞれは、例えば多数決の区間がフレーム同期シンボル期間、つまり16シンボルとすれば、一つの4ビットのカウンタのみで構成できる。例えば、入力信号G0をカウンタのイネーブル端子に入力し、カウンタ最上位出力であるQDを多数決判定出力G00とすれば、入力されるビットストリームG0におけるビット"1"の数が8以上の

ときに多数決出力"1"となる。ただし、ビット"0"とビット"1"の数が同数の場合の処理等は別途必要になるが回路規模は大きくならない。本発明にかかる実施の一形態にかかる受信信号位相検出回路での多数決判定回路では、3ビットの位相判定出力R(3)のそれぞれのビットについて行うので、4ビットカウンタ3つと、前記処理用の周辺回路で構成できる。

【0046】ここで、多数決判定する区間とは、フレーム同期信号のシンボル分、つまり16シンボルが基本となり、それを所定期間中多数決判定するという説明をした。しかし、考え方によってはフレーム同期信号の16シンボルのうち、任意の1シンボルを取り出し、それを数フレーム(所定フレーム)にわたって多数決判定することや、任意の数ビットを取り出し、同様に数フレーム(所定フレーム)にわたって多数決判定をする、または図1に示した符号反転器49をなくするために、再生フレーム信号のビットが"1"の場合のみゲートが開かれ、ビットが"0"の部分は切り捨てるようにしたりすることもできる。

【0047】一方、従来例においてはベースバンド信号I、Qそれぞれに8ビットを16回累積加算する回路が必要となる。8ビットを16回加算すると、最大12ビットになることから、最低でも12ビットの加算器と、12個のラッチ回路が必要となる。これがベースバンド信号I、Qそれぞれに必要なことから、回路規模は大きくなる。

【0048】バイナリ符号変換器53以降の後段の信号処理において、バイナリ符号変換器48出力である位相回転角信号RT(3)信号に基づいてベースバンド信号I(8)、Q(8)を逆位相回転させることにより絶対位相化を行なうことは、従来通りである。

【0049】前記において、位相判定回路の出力R(3)を直接、多数決判定回路に入力し、その出力を位相回転角信号RT(3)とすることも可能である。しかし一旦グレイ符号化することによって隣り合う位相判定値とのビットの相違が1ビットとなるため、受信C/Nの悪化による受信ベースバンド信号の微小な位相変化、振幅変動が生じ、位相判定において誤判定された場合でも、その影響を最小限とすることができる。つまり、グレイ符号変換器51と多数決判定回路52A、52B、52Cとの組み合わせにより、より信頼性を向上させることができる。

【0050】また、復調ベースバンド信号I(8)、Q(8)を $22.5^\circ$ 位相回転する回路が復調回路1に含まれている場合もあり、この場合はその出力を用いることができ、本発明の実施の一形態にかかる受信信号位相検出回路の構成が更に簡単になる。

【0051】また、位相判定回路50からの出力R(3)をグレイ符号変換器51によってG0～G2に変換したが、位相判定回路50の出力が直接G0～G2と

なる位相判定回路であってもよい。この場合の位相判定回路 5 0 による位相判定は図 5 に示す判定を行えばよい。

【0052】なお、上記した本発明の実施の一形態にかかる受信信号位相検出回路において、 $22.5^\circ$  位相回転回路 4 8 を用いることにより実際の受信信号位相を判定するテーブル変換に代わって簡単な回路構成にて判定が可能であることを例示したが、位相回転させる角度は  $22.5^\circ$  だけでなく  $67.5^\circ$ 、 $112.5^\circ$ 、 $157.5^\circ$ 、 $202.5^\circ$ 、 $247.5^\circ$ 、 $292.5^\circ$ 、 $337.5^\circ$  であってもよい。

【0053】この場合、位相判定回路 5 0 における位相回転角信号 R (3) を異ならせればよい。上記の  $67.5^\circ$ 、 $112.5^\circ$ 、 $157.5^\circ$ 、 $202.5^\circ$ 、 $247.5^\circ$ 、 $292.5^\circ$ 、 $337.5^\circ$  回転させる場合の位相回転角信号 R (3) を図 6 に示す。

【0054】上記した本発明の実施の一形態にかかる受信信号位相検出回路によれば、ROM によるテーブル変換によって構成された位相判定回路は、乗算器、加算器によって構成される  $22.5^\circ$  位相回転回路 4 8 と、簡単な判定回路によって構成される位相判定回路 5 0 に置き換わり、集積回路化した場合、大きく回路規模が削減できることになる。

【0055】また、従来用いられていた  $0^\circ / 180^\circ$  位相回転回路 4 3 を符号反転器 4 9 に置き換えることにより、 $0^\circ / 180^\circ$  位相回転回路 4 3 が ROM によるテーブル変換によって構成されているときは  $128 \text{ k バイト}$  ( $=2^{16} \times 16 \text{ bit}$ ) の記憶容量が削減できる。また、8 ビット幅で、それぞれの軸での累積加算平均回路 4 5、4 6 に代わり、3 ビットの多数決判定回路 5 2 ~ 5 2 を用いたことによって大幅に回路の縮小化が図れることになる。

【0056】

【発明の効果】以上説明したように、本発明にかかる受信信号位相検出回路によれば、回路規模が低減でき、受信信号位相検出回路を集積回路化する場合チップ面積 \*

\* を有効に使用することができるという効果が得られる。

【図面の簡単な説明】

【図 1】本発明の実施の一形態にかかる受信信号位相検出回路の構成を示すブロック図である。

【図 2】本発明の実施の一形態にかかる受信信号位相検出回路における作用の説明に供する図である。

【図 3】本発明の実施の一形態にかかる受信信号位相検出回路における位相判定作用の説明に供する図である。

【図 4】本発明の実施の一形態にかかる受信信号位相検出回路におけるグレイ符号変換およびバイナリ符号変換作用の説明に供する図である。

【図 5】本発明の実施の一形態にかかる受信信号位相検出回路における位相判定作用の説明に供する図である。

【図 6】本発明の実施の一形態にかかる受信信号位相検出回路における位相回転回路の位相回転角を他の回転角にしたときの作用の説明に供する図である。

【図 7】従来の受信信号位相検出回路の構成を示すブロック図である。

【図 8】BPSK マッピングの説明に供する信号点配置図である。

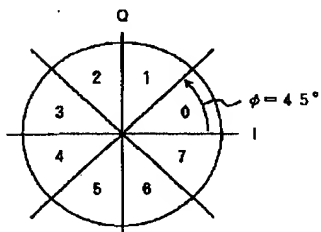
【図 9】受信信号位相検出回路における  $0^\circ / 180^\circ$  位相回転回路通過後のフレーム同期信号の信号点配置図である。

【図 10】受信信号位相判定テーブルの説明に供する図である。

【符号の説明】

- 1 復調回路
- 2 フレーム同期検出回路
- 3 フレーム同期信号発生回路
- 4 1 および 4 2 ディレイ回路
- 4 8  $22.5^\circ$  位相回転回路
- 4 9 符号反転回路
- 5 0 位相判定回路
- 5 1 グレイ符号変換器
- 5 2 A ~ 5 2 C 多数決判定回路
- 5 3 バイナリ符号変換器

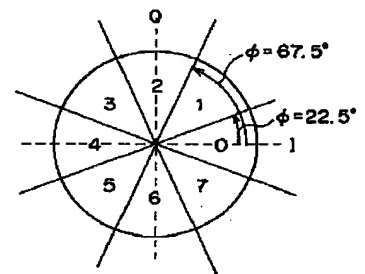
【図 2】



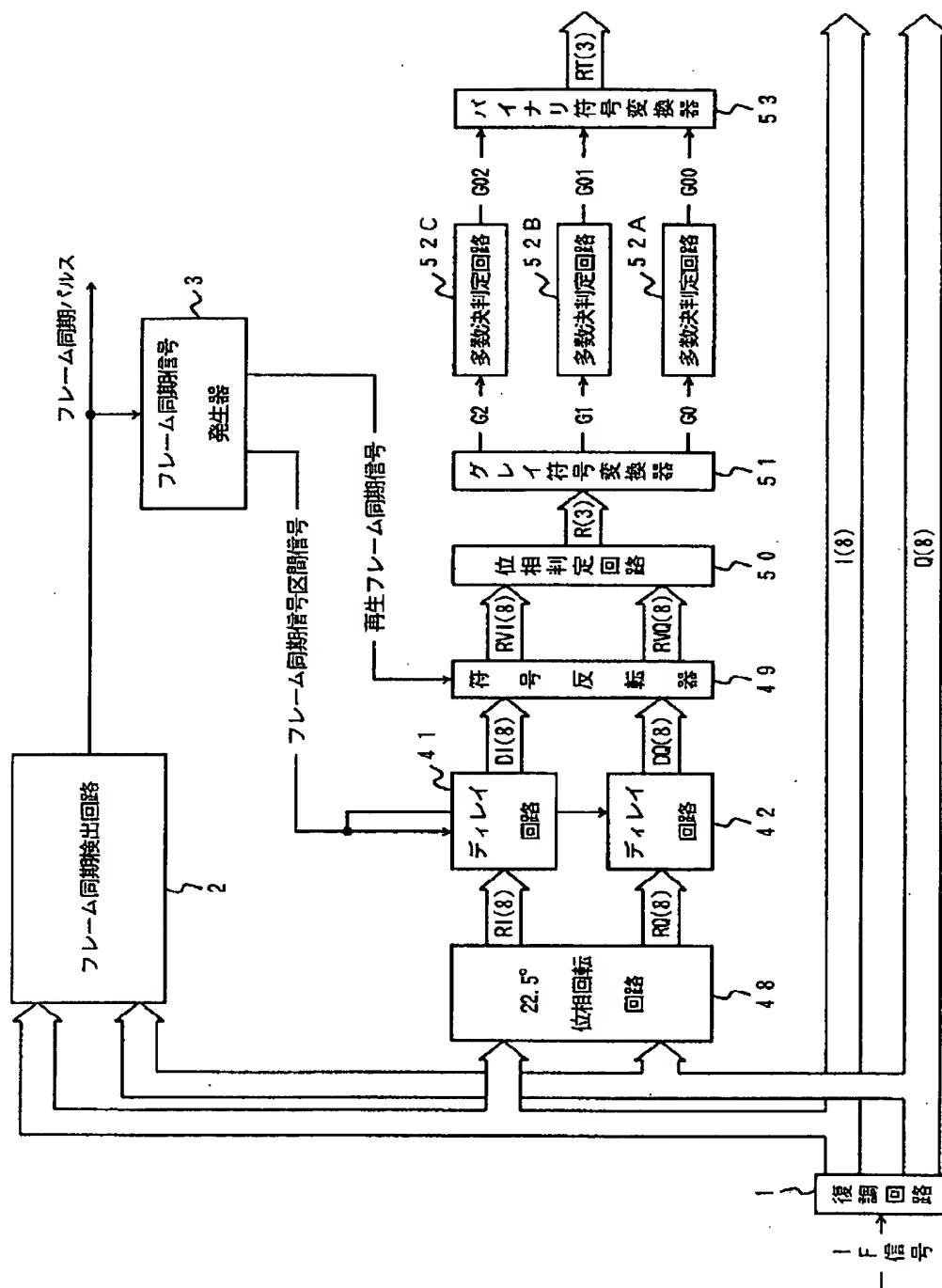
【図 3】

入力条件	R(3)
$RV1 > 0, RVQ \geq 0$ , かつ $ RV1  >  RVQ $	0
$RV1 > 0, RVQ > 0$ , かつ $ RV1  \leq  RVQ $	1
$RV1 \leq 0, RVQ > 0$ , かつ $ RV1  <  RVQ $	2
$RV1 < 0, RVQ > 0$ , かつ $ RV1  \geq  RVQ $	3
$RV1 < 0, RVQ \leq 0$ , かつ $ RV1  >  RVQ $	4
$RV1 < 0, RVQ < 0$ , かつ $ RV1  \leq  RVQ $	5
$RV1 \geq 0, RVQ < 0$ , かつ $ RV1  <  RVQ $	6
$RV1 > 0, RVQ < 0$ , かつ $ RV1  \geq  RVQ $	7

【図 10】



【図1】





【図4】

(a)

入力	出力
"000"	"000"
"001"	"001"
"010"	"011"
"011"	"010"
"100"	"110"
"101"	"111"
"110"	"101"
"111"	"100"

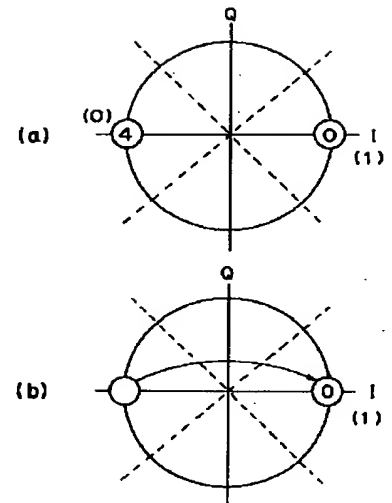
【図5】

入力条件	R(3)
$RV1 > 0, RVQ \geq 0, \text{かつ}  RV1  >  RVQ $	0
$RV1 > 0, RVQ > 0, \text{かつ}  RV1  \leq  RVQ $	1
$RV1 \leq 0, RVQ > 0, \text{かつ}  RV1  <  RVQ $	3
$RV1 < 0, RVQ > 0, \text{かつ}  RV1  \geq  RVQ $	2
$RV1 < 0, RVQ \leq 0, \text{かつ}  RV1  >  RVQ $	6
$RV1 < 0, RVQ < 0, \text{かつ}  RV1  \leq  RVQ $	7
$RV1 \geq 0, RVQ < 0, \text{かつ}  RV1  <  RVQ $	5
$RV1 > 0, RVQ < 0, \text{かつ}  RV1  \geq  RVQ $	4

(b)

入力	出力
"000"	"000"
"001"	"001"
"011"	"010"
"010"	"011"
"110"	"100"
"111"	"101"
"101"	"110"
"100"	"111"

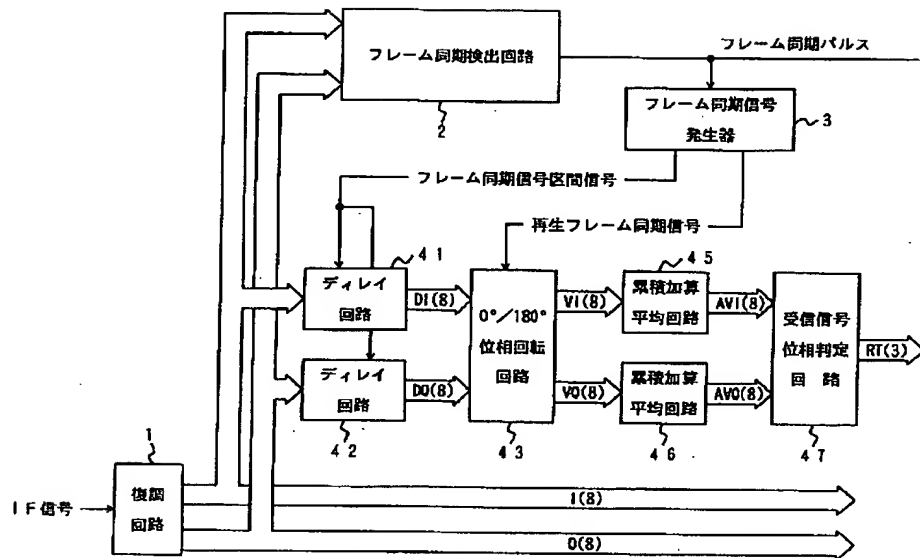
【図9】



【図6】

入力条件	22.5° の場合 のR(3)	67.5° の場合 のR(3)	112.5° の場合 のR(3)	157.5° の場合 のR(3)	202.5° の場合 のR(3)	247.5° の場合 のR(3)	292.5° の場合 のR(3)	337.5° の場合 のR(3)
$RV1 > 0, RVQ \geq 0, \text{かつ}  RV1  >  RVQ $	0	7	6	5	4	3	2	1
$RV1 > 0, RVQ > 0, \text{かつ}  RV1  \leq  RVQ $	1	0	7	6	5	4	3	2
$RV1 \leq 0, RVQ > 0, \text{かつ}  RV1  <  RVQ $	2	1	0	7	6	5	4	3
$RV1 < 0, RVQ > 0, \text{かつ}  RV1  \geq  RVQ $	3	2	1	0	7	6	5	4
$RV1 < 0, RVQ \leq 0, \text{かつ}  RV1  >  RVQ $	4	3	2	1	0	7	6	5
$RV1 < 0, RVQ < 0, \text{かつ}  RV1  \leq  RVQ $	5	4	3	2	1	0	7	6
$RV1 \geq 0, RVQ < 0, \text{かつ}  RV1  <  RVQ $	6	5	4	3	2	1	0	7
$RV1 > 0, RVQ < 0, \text{かつ}  RV1  \geq  RVQ $	7	6	5	4	3	2	1	0

【図 7】



【図 8】

